

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-321911
(43)Date of publication of application : 04.12.1998

(51)Int.Cl. H01L 33/00
H01S 3/18

(21)Application number : 10-128021 (71)Applicant : TEMIC TELEFUNKEN
MICROELECTRON GMBH
(22)Date of filing : 03.04.1998 (72)Inventor : BRAUN MATTHIAS

(30)Priority

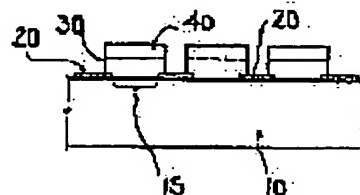
Priority number : 97 19715572 Priority date : 15.04.1997 Priority country : DE

(54) METHOD FOR MANUFACTURING EPITAXIAL LAYER OF COMPOUND SEMICONDUCTOR ON SINGLE-CRYSTAL SILICON AND LIGHT-EMITTING DIODE MANUFACTURED THEREWITH

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing an epitaxial layer of a nitride compound semiconductor with which a semiconductor layer can be manufactured, which has sufficient crystalline quality for manufacture of electrical components.

SOLUTION: A sectional structure is manufactured on the surface of a substrate (10) and of single crystal silicon, by using a method for manufacturing an epitaxial layer of a III-V nitride compound semiconductor having a structure of $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y \leq 1$) on the substrate made from single-crystal silicon. In this case, a silicon surface in a section (15) is exposed, and the edge of the section is surrounded with a mask material (20). Next, a local island is manufactured in the edge of which stresses generated by mismatching can be dissolved by an epitaxial growth of nitride compound semiconductors (30, 40) in a section mostly on the silicon surface. A component is finally manufactured in the section or thereon.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (JP) (12) 公開特許公報 (A)

(11) 特許公開番号

特開平10-321911

(43) 公開日 平成10年(1998)12月4日

(51) Int. Cl.⁷
H01L 33/00
H01S 3/18

F1
H01L 33/00
H01S 3/18

C

審査請求 未請求 請求項の数14 費面 (全 4 頁)

(21) 出願番号 特開平10-128021

(22) 出願日 平成10年(1998) 4月3日

(31) 優先権主張番号 19716572.3

(32) 優先日 1997年4月15日

(33) 優先権主張国 フイツ (DE)

(71) 出願人 391000830

テミツク テレフンケン マイクロエレクトロニツク ゲゼルシャフト ミツト ベシュレンクテル ハフツング

TEMIC TELEFUNKEN m1 electronic GmbH
ドイツ連邦共和国 ハイデルボン テレジエンシュトラーセ 2

(72) 発明者
ドイツ連邦共和国 グラインスベルク・フリデリヒスシュトラーセ14

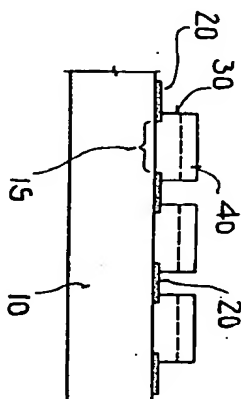
(74) 代理人 弁理士 中平 裕

(54) 発明の名称 単結晶シリコン上に化合物半導体のエピタキシャル層を製造する方法及びそれにより製造された発光ダイオード

(37) 要約

【要約】 電子構成部分の製造のために十分な結晶品質を有する半導体層を製造することができる。InxAlyGa1-x-yN (0 ≤ x, 0 ≤ y, x+y ≤ 1) の層のエピタキシャル層を製造する方法を提供する。

【解決手段】 単結晶シリコンからなる基板上にInxAlyGa1-x-yN (0 ≤ x, 0 ≤ y, x+y ≤ 1) の層のエピタキシャル層を製造する方法が記述される。方法は、次の方法ステップを有する。単結晶シリコンからなる基板(10)の表面に、区分状の構造を製造する。区分(15)においてシリコン表面が露出しており、かつ区分の縁は、マスク材料(20)によって囲まれている。シリコン表面におけるもつぱら区分外における窒化物化合物半導体(30, 40)のエピタキシャル成長によって、局所的な島が製造され、これらの島の縁において、隣り合う島によって発生される応力を解放することができる。最終的に区分内又はその上に、構成要素が製造される。



【特許請求の範囲】

【請求項1】 単結晶シリコンからなる基板上にInxAlyGa1-x-yN (0 ≤ x, 0 ≤ y, x+y ≤ 1) の構造の111-Vタイプの窒化物化合物半導体のエピタキシャル層を製造する方法において、
・単結晶シリコンからなる基板(10)を準備し；
・基板の表面に区分状の構造を製造し、その際、区分(15)においてシリコン表面が露出しており、かつ区分の縁が、マスク材料(20)によって囲まれており；
・もつぱら区分外においてシリコン表面に窒化物化合物半導体(30, 40)のエピタキシャル成長が行なわれる、
方法ステップを特徴とする、単結晶シリコン上に化合物半導体のエピタキシャル層を製造する方法。

【請求項2】 マスク材料として、基板の表面に堆積する二酸化シリコンSiO2又はシリコンオキシナイトライドSIONが利用されることを特徴とする、請求項1記載の方法。

【請求項3】 マスク材料として、基板の表面に成長する二酸化シリコンSiO2が利用されることを特徴とする、請求項1記載の方法。

【請求項4】 シリコン表面における区分に、まず核形成(31)が成長させられることを特徴とする、請求項1ないし3の1つに記載の方法。

【請求項5】 核形成(31)が、窒素Nの代わりに、窒化ひ素AsNを含むことを特徴とする、請求項4記載の方法。

【請求項6】 シリコン表面における又は核形成(31)における区分に、複数の部分層からなる格子整合層(32, 33)がエピタキシャル成長させられることを特徴とする、請求項1ないし5の1つに記載の方法。

【請求項7】 格子整合層(32, 33)上にエピタキシャル成長した窒化物化合物半導体(30, 40)が、p/n又はn/p接合部を有する活性領域(40)を含むことを特徴とする、請求項6記載の方法。

【請求項8】 活性領域(40)が、構成要素として重要なパラメータを調節するために、単一層又は超格子からなることを特徴とする、請求項7記載の方法。

【請求項9】 活性領域(40)上に、活性領域のものよりも小さなエネルギーギャップを有する接合特性を改善する半導体層(35)が成長させられることを特徴とする、請求項1ないし8の1つに記載の方法。

【請求項10】 接合層(35)が、通気的なエッチングにより局所的に取り除かれることを特徴とする、請求項9記載の方法。

【請求項11】 基板(10)が、p-ベンゾを有することを特徴とする、請求項1ないし10の1つに記載の方法。

【請求項12】 基板(10)の裏側に、裏面接触のために金属層が取り付けられることを特徴とする、請求項1ないし11の1つに記載の方法。

【請求項13】 シリコン表面における区分に成長する半導体層が、不活性化層(60)によって覆われることを特徴とする、請求項1ないし12の1つに記載の方法。

【請求項14】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項15】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項16】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項17】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項18】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項19】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項20】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項21】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項22】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項23】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項24】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項25】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項26】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項27】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【請求項28】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

(3)

【0004】

【発明が解決しようとする問題】 それ故に本発明の問題は、電子材料成分の製造のために十分な結晶品質を有する半導体材料を製造することができ、InxAl1-yGa1-x-y-VN (0 ≤ x, 0 ≤ y, x+y ≤ 1) の構造の111-VVタイプの酸化物化合物半導体からなるエビタキシャル層を製造する方法を提供することにある。

【0005】

【問題が解決するための手段】 本発明による方法は、シリコン基板上における電子構成素子のために十分な結晶品質のInxAl1-yGa1-x-y-VN (0 ≤ x, 0 ≤ y, x+y ≤ 1) の構造の111-VVタイプの酸化物化合物半導体の成長を可能にするために、選択的エビタキシャルの形成に基いている。選択的エビタキシャルの形成は、シリコン基板は、半導体層の成長の前に、局所的にエボクされる。エボク材料は、基板材料上における半導体層の成長を妨げ又は阻止する。これは、追加的な材料のエボク層の堆積によるが、とくにシリコン基板の酸化により、半導体材料の成長は選択的に行なわれる。成長区分が生じ、これらの成長区分の終において生じた応力は解放することである。それにより微細な目の発生が阻止される。区分は、後からそれぞれ1つ又は複数の構成素子を製造するための原料を形成する。

【0006】 とくに区分は、発光ダイオードを製造するために用いられる。

【0007】

【発明の短縮形態】 次に本発明を図面を用いて実施例によって説明する。

【0008】 半導体層のエビタキシャルの形成は、まず基板の表面におけるシリコン基板10の酸化によって、エボク層20が製造される。かつついでホトリソグラフィにより酸化される。それにより区分15が定義され、これらの区分は、エボク層20を持たない。区分の終は、エボク材料によって囲まれている。酸化物化合物半導体は10、40のエビタキシャル成長は、もっぱら又はなるべく基板10のシリコン表面上における区分において行なわれる。この区分15上に成長した半導体材料から、後に構成素子が製造される。区分15は、数平方ミリメートルまでの大きさであることができる。

【0009】 方法の別の形態において、基板10の表面にエボク層20の材料が堆積され、かつついでホトリソグラフィにより酸化される。その後方法ステップは、同様に続く。エボク材料として、二酸化シリコンSiO₂及びシリコンオキシナイトライドSiONが適用しているとおかった。

【0010】 MOVPE又はその他の適当な方法により、InxAl1-yGa1-x-y-VN (0 ≤ x, 0 ≤ y, x+y ≤ 1) の構造の111-VVタイプの酸化物化合物半導体の成長が行なわれる。まず格

子整合領域として動作する層系31、32、33が成長させられる。格子整合領域は、少なくとも能動構成素子の層が結晶構造の十分に形成された完全性を有する程度に強力に、シリコン基板と次に成長させられるエビタキシャル半導体層との間の格子整合に合わせられ、又はこれを減少する。

【0011】 格子整合領域31、32、33は、複数の部分層から構成され、すなわちまず核形成層31が成長させられる。そのためにとくにアルミニウムを含んだ層が良好に選んでいる。本実施例の核形成層31は、なるべくGaInN又はGaAlNからなる。その後、上層整合層32、33が成長し、これらの整合層の製造のために、なるべく前記の酸化物化合物半導体からなる層の熱サイクルの成長及び/又は熱サイクルが利用される。とくに格子整合領域の下側の範囲において、なるべくこれらの方法の組合せが利用される。結晶品質のそれ以上の改善は、格子整合領域32の上側範囲におけるパッド層33及び/又は超格子の後の成長によって達成することができ、その後、結晶品質は、構成素子の活性層を成長させるために十分な品質のものである。上側格子整合領域の一部は、すでに活性層の一部であることができる。

【0012】 例えばLED又はレーザーダイオードのようなオプトエレクトロニクス構成素子を製造しようとする場合、光を発生するp/n接合を含む活性層40と基板10又は格子整合領域31、32、33との間にブラッグレフレクタ34を成長させることは、発光効率を最大にするために有利である。シリコン基板は、放射波長の光を強力に吸収するので、それにより発光効率を高めることができる。ブラッグレフレクタは、上側格子整合領域32、33の一部として構成してもよい。

【0013】 GaNに基づく半導体は、大きなエネルギーギャップによって特徴付けられている。それ故にこの半導体の表面における低エネルギー性の接触の製造は、問題である。それ故にそれより大きなエネルギーギャップの、したがって前の格子定数及び熱膨張係数の半導体層35を、GaNに基づく半導体の表面に取付けることが考慮されており、これらの半導体層は、必要な場合には、技術的プロセスの終端中に接触面以外において選択的に再び取り除かれる。このことは、例えば選択的エッチングによって行なうことができる。その場合にも、異なる材料バラムーに基づいて接触-エッチング層を成長させる選択的エビタキシャルに、重要な意味がある。

【0014】 図4及び5に示された発光ダイオードは、InxAl1-yGa1-x-y-VN (0 ≤ x, 0 ≤ y, x+y ≤ 1) の構造の111-VVタイプの酸化物化合物半導体の前記のエビタキシャル層系から構成されている。ダイオードチップの表面は、不活性化層60によって覆われている。背面接点52及び組換えられた前面接点5

(4)

1は、それにより覆われている。

【0015】 このような発光ダイオードは、とくに核、増及びパイオレットのスペクトル範囲にとって最適化されており、かつ外れ効率の点で優れている。

【図面の簡単な説明】

【図1】 成長区分上に成長した半導体材料を有する図2の1-1断面を一部拡大して示す図である。

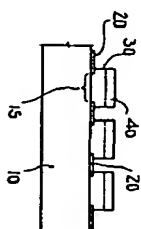
【図2】 二酸化シリコンによって区画された成長区分を有するシリコン基板ウェハを上から見た図である。

【図3】 半導体装置の断面図である。

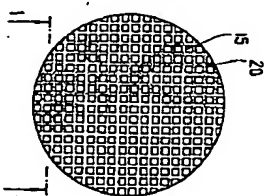
【図4】 本発明による発光ダイオードを上から見た図である。

【図5】 切断線5-5に沿った図4の発光ダイオードの

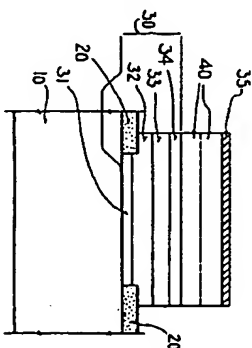
【図1】



【図2】



【図3】



【図4】

【図5】

